

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-037143

(43)Date of publication of application : 07.02.2003

(51)Int.Cl.

H01L 21/66

H01L 21/02

(21)Application number : 2001-222925

(71)Applicant : TOSHIBA CORP

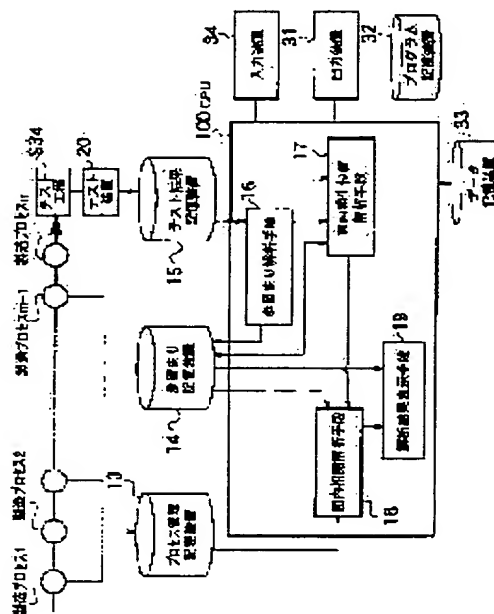
(22)Date of filing : 24.07.2001

(72)Inventor : KADOTA KENICHI

**(54) SYSTEM, METHOD AND PROGRAM FOR ANALYZING CAUSE OF FAULT, METHOD FOR MANUFACTURING INDUSTRIAL PRODUCT****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To detect a systematic fault caused by a manufacturing process and identify the process as the cause of the fault.

**SOLUTION:** A system for analyzing the cause of the fault includes a testing apparatus 20, a yield memory 14, a test result memory 15 and a process controller (CPU) 100. The CPU 100 includes a yield analyzing means 16, a means for analyzing an occurring location on a surface 17, a means for analyzing correlation on the surface 18 and a means for displaying an analyzed result 19. The yield analyzing means 16 calculates the yield based on a result from the testing apparatus 20. The means for analyzing the occurring location on the surface 17 identifies a systematic fault area 5 on the surface of a wafer based on the result from the testing apparatus 20 and the yield calculated by the yield analyzing means 16. The means for analyzing the correlation on the surface 18 identifies the cause of the fault based on the systematic faulty area 5 and a process managing data 6.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-37143

(P2003-37143A)

(43) 公開日 平成15年2月7日 (2003.2.7)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 1 L 21/66

H 0 1 L 21/66

Z 4 M 1 0 6

21/02

21/02

A

Z

審査請求 未請求 請求項の数11 O L (全 13 頁)

(21) 出願番号 特願2001-222925(P2001-222925)

(71) 出願人 000003078

(22) 出願日 平成13年7月24日 (2001.7.24)

株式会社東芝  
東京都港区芝浦一丁目1番1号

(72) 発明者 門多 健一  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(74) 代理人 100083806  
弁理士 三好 秀和 (外7名)

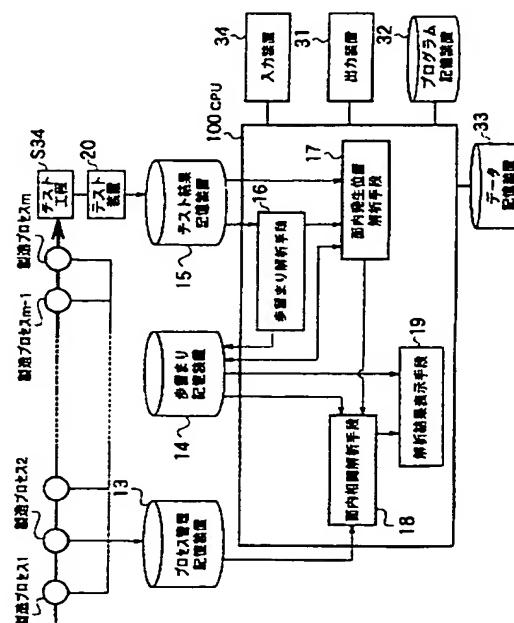
Fターム(参考) 4M106 AA01 BA01 BA20 CA70 DA15  
DJ20 DJ21 DJ23

(54) 【発明の名称】 不良原因解析システム、不良原因解析方法、不良原因解析プログラム、工業製品の製造方法

(57) 【要約】

【課題】 製造プロセスに起因したシステムティック不良の検出を可能とし、不良の原因となったプロセスを特定する。

【解決手段】 不良原因解析システムは、テスト装置20、歩留まり記憶装置14、テスト結果記憶装置15、処理制御装置(CPU)100を含む。CPU100内には歩留まり解析手段16、面内発生位置解析手段17、面内相関解析手段18、解析結果表示手段19が内蔵されている。テスト装置20の結果から歩留まり解析手段16は歩留まりを算出する。面内発生位置解析手段17は、テスト装置20の結果と歩留まり解析手段19が算出した歩留まりからウェハ面内のシステムティック不良領域5を特定する。面内相関解析手段18は、システムティック不良領域5とプロセス管理データ6から不良原因を特定する。



1

## 【特許請求の範囲】

【請求項 1】 基板面上にマトリクス状にチップパターンとして配置された複数の工業製品ユニットの製品特性をそれぞれ測定するテスト装置と、

前記チップパターンの一定数を集合可能な矩形領域である集合チップパターン領域と定義し、該集合チップパターン領域毎に該集合チップパターン領域中の前記チップパターンの存在比を重みとして積算し、前記テスト装置の結果から、前記重みをもとに歩留まりを算出し、システムティック不良を検出する歩留まり解析手段を具備する処理制御装置と、

前記テスト装置の結果を保存するテスト結果記憶装置と、

前記算出された歩留まりを保存する歩留まり記憶装置とを含むことを特徴とする不良原因解析システム。

【請求項 2】 前記処理制御装置は、前記基板面上の不良チップパターンを中心とした複数のチップパターンを収納する解析領域を抽出し、該解析領域内の各チップパターンに、前記不良チップパターンからの距離に応じた重み係数を与え、該重み係数をもとに前記解析領域内の距離による重み付歩留まりを算出し、前記歩留まり解析手段の結果を用いて、前記システムティック不良成分の発生位置を特定する面内発生位置解析手段を更に含むことを特徴とする請求項 1 に記載の不良原因解析システム。

【請求項 3】 前記処理制御装置は、前記システムティック不良成分の発生位置と製造プロセスに用いる製造装置固有のデータとの相関をとることにより不良発生原因となった製造プロセスを決定する面内相関解析手段を更に含むことを特徴とする請求項 2 に記載の不良原因解析システム。

【請求項 4】 基板面上にマトリクス状にチップパターンとして配置された複数の工業製品ユニットの製品特性をそれぞれ測定し、該測定結果をテスト結果記憶装置に保存する工程と、

処理制御装置に内蔵された歩留まり解析手段が、以下の各ステップにより、システムティック不良を検出する不良原因解析工程とを含むことを特徴とする不良原因解析方法。

(イ) 前記チップパターンの一定数を集合可能な矩形領域である集合チップパターン領域と定義し、該集合チップパターン領域毎に前記集合チップパターン領域中の前記チップパターンの存在比を重みとして積算するステップ

(ロ) 前記テスト結果記憶装置から前記製品特性の測定結果を読み出し、前記重みをもとに歩留まりを算出するステップ

(ハ) 前記算出された歩留まりと指標となる歩留まり値を比較し、システムティック不良か否かを判定するステップ

2

【請求項 5】 前記不良原因解析工程は、前記処理制御装置に内蔵された面内発生位置解析手段を用いて、以下の各ステップを更に実施することを特徴とする請求項 4 に記載の不良原因解析方法。

(ニ) 前記基板面上の不良チップパターンを中心とした複数のチップパターンを収納する解析領域を抽出し、該解析領域内の各チップパターンに、前記不良チップパターンからの距離に応じた重み係数を与えるステップ

(ホ) 該重み係数をもとに前記基板面上の全不良チップパターンに対し、前記解析領域内の距離による重み付歩留まりを算出するステップ

(ヘ) 前記不良チップパターンを前記距離による重み付歩留まりの値により並べ替えるステップ

(ト) 前記歩留まり解析手段が算出した歩留まりからシステムティック不良発生チップパターン数を算出するステップ

(チ) 前記並び替えの結果と前記システムティック不良発生チップパターン数とを用いて、システムティック不良チップパターンの位置を抽出するステップ

【請求項 6】 前記不良原因解析工程は、前記処理制御装置に内蔵された面内相関解析手段を用いて、以下の各ステップを更に実施することを特徴とする請求項 5 に記載の不良原因解析方法。

(リ) 前記システムティック不良成分の発生位置と製造プロセスに用いる製造装置固有のデータとの相関をとるステップ

(ヌ) 前記システムティック不良成分の発生原因となった製造プロセスを決定するステップ

【請求項 7】 一連の複数の製造プロセスにより基板面上にマトリクス状にチップパターンとして複数の工業製品ユニットを製造し、該工業製品ユニットの製品特性を測定し、その結果からシステムティック不良を検出する不良原因解析システムを制御するためのプログラムであって、前記不良原因解析システムを構成する処理制御装置の歩留まり解析手段に対して、

前記チップパターンの一定数を集合可能な矩形領域である集合チップパターン領域と定義し、該集合チップパターン領域毎に前記集合チップパターン領域中の前記チップパターンの存在比を重みとして積算する命令と、テスト結果記憶装置から前記製品特性の測定結果を読み出し、前記重みをもとに歩留まりを算出する命令と、前記算出された歩留まりと指標となる歩留まり値を比較し、システムティック不良か否かを判定する命令とを与えることを特徴とする不良原因解析プログラム。

【請求項 8】 前記処理制御装置の面内発生位置解析手段に対して、前記基板面上の不良チップパターンを中心とした複数のチップパターンを収納する解析領域を抽出し、該解析領域内の各チップパターンに、前記不良チップパターンからの距離に応じた重み係数を与える命令と、

3

該重み係数をもとに前記基板面上の全不良チップパターンに対し、前記解析領域内の距離による重み付歩留まりを算出する命令と、

前記不良チップパターンを前記距離による重み付歩留まりの値により並べ替える命令と、

前記歩留まり解析手段が算出した歩留まりからシステムティック不良発生チップパターン数を算出する命令と、前記並び替えの結果と前記システムティック不良発生チップパターン数とを用いて、システムティック不良チップパターンの位置を抽出する命令とを更に与えることを特徴とする請求項 7 に記載の不良原因解析プログラム。

【請求項 9】 前記処理制御装置の面内相関解析手段に対して、

前記システムティック不良成分の発生位置と製造プロセスに用いる製造装置固有のデータとの相関をとる命令と、

前記システムティック不良成分の発生原因となった製造プロセスを決定する命令とを更に与えることを特徴とする請求項 8 に記載の不良原因解析プログラム。

【請求項 10】 一連の複数の製造プロセスにより、基板面上にマトリクス状にチップパターンとして複数の工業製品ユニットを製造する工程と、

前記工業製品ユニットの製品特性をそれぞれ測定する工程と、

前記チップパターンの一定数を集合可能な矩形領域である集合チップパターン領域と定義し、該集合チップパターン領域毎に該集合チップパターン領域中の前記チップパターンの存在比を重みとして積算し、前記測定の結果から、前記重みをもとに歩留まりを算出し、システムティック不良を検出する工程と、

前記システムティック不良の発生原因となった特定の製造プロセスに用いられる製造装置を修理・改造する工程とからなることを特徴とする工業製品の製造方法。

【請求項 11】 前記基板面上の不良チップパターンを中心とした複数のチップパターンを収納する解析領域内の各チップパターンに、前記不良チップパターンからの距離に応じた重み係数を与え、該重み係数をもとに前記解析領域内の距離による重み付歩留まりを算出し、前記システムティック不良成分の発生位置を特定する工程と、

前記システムティック不良成分の発生位置と製造プロセスに用いる製造装置固有のデータとの相関をとることにより前記特定の製造プロセスを検出する工程とを更に含むことを特徴とする請求項 10 に記載の工業製品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、工業製品の製造方法及びこの工業製品の製造プロセスにおける歩留まり低下の原因を解析するシステム、方法、更にはこのシステ

4

ムを制御するためのプログラムに関するものである。

【0002】

【従来の技術】工業製品を大量生産する場合、一定の基板上に工業製品の単位（以下において「工業製品ユニット」と言う）を 2 次元的に配列して、複数の工業製品ユニットを同時に製造し、最後に、ダイシング等の手法により、各工業製品ユニットに分離する手法が用いられる場合がある。このような場合、製造プロセスの不良により、工業製品ユニットを配列した面上の一定の部分に偏って不良品が分布することがある。常に一定の部分のみに偏って不良品が発生するのは、その製造装置（システム）に起因した不良であろうから、「システムティック不良」と呼ばれる。例えば、半導体ウェハ上に複数のチップパターンが配列されている場合に、特定の製造プロセスにおいてシステムティック不良が発生する場合がある。このようなシステムティック不良の検出は、技術者が、マップ表示されたウェハ面上のチップの電気測定結果を観察することにより実施する。

【0003】

【発明が解決しようとする課題】しかしながら、ウェハ上の全チップパターンについて、全ウェハをチェックすることは時間的に難しい。また個人差等精度の問題があるので、発生しているシステムティック不良を見逃す恐れがあった。この問題を解決するため、統計的にデータを処理してシステムティック不良を定量化する方法が提案されてきた。この方法としては、例えば、「Calculating Defect Limited Yields from In-Line Inspection s' in SEMICONDUCTOR INTERNATIONAL, JULY (1997) pp. 206-208」で簡単に説明されている。この方法では、隣接するいくつかのチップをグループ化し矩形領域とし、不良歩留まりを算出していた。しかし、この方法では、矩形領域がウェハ周上にあり、矩形領域全体がウェハ面内に存在しない場合でも 1 つの矩形領域として扱っていたため、ウェハ面の端の方では精度が著しく劣化していた。このため、安定したモニターには難があった。又、ウェハ面上にシステムティック不良による不良チップの存在を検出したとしても、ウェハ面内におけるどの不良チップがシステムティック不良による箇所であるかは特定されなかった。このため、不良発生原因を効率よく解析することができなかった。

【0004】上記の問題を鑑み、本発明は、基板表面に周期的に配列されたチップパターンの製品特性の測定結果から、基板面内のシステムティック不良による不良成分を簡単に特定することができ、かつ不良の原因となった工程を特定することが可能な不良原因解析システム、不良原因解析方法、不良原因解析プログラム、及び半導体装置の製造方法を提供することを目的とする。

【0005】

【課題を解決するための手段】上記目的を達成するため、本発明の第 1 の特徴は、（イ）基板面上にマトリク

5

ス状にチップパターンとして配置された複数の工業製品ユニットの製品特性をそれぞれ測定するテスト装置と、

(ロ) チップパターンの一定数を集合可能な矩形領域である集合チップパターン領域と定義し、集合チップパターン領域毎に集合チップパターン領域中のチップパターンの存在比を重みとして積算し、テスト装置の結果から、重みをもとに歩留まりを算出し、システムティック不良を検出する歩留まり解析手段を具備する処理制御装置と、(ハ) テスト装置の結果を保存するテスト結果記憶装置と、(ニ) 算出された歩留まりを保存する歩留まり記憶装置とを含む不良原因解析システムであることを要旨とする。

【0006】処理制御装置には、基板面上の不良チップパターンを中心とした複数のチップパターンを収納する解析領域を抽出し、解析領域内の各チップパターンに、不良チップパターンからの距離に応じた重み係数を与え、重み係数をもとに解析領域内の距離による重み付歩留まりを算出し、歩留まり解析手段の結果を用いて、システムティック不良成分の発生位置を特定する面内発生位置解析手段と、システムティック不良成分の発生位置と製造プロセスに用いる製造装置固有のデータとの相関をとることにより不良発生原因となった製造プロセスを決定する面内相関解析手段が含まれていてもよい。

【0007】ここで、「基板」とは、半導体ウェハ、磁気記録装置読み出しヘッド用基板等の複数のチップパターンを周期的に配列して、一連の工程により一度に大量の工業製品を生産するための基体を言う。「製品特性」には電気的特性、磁気的特性、光学的特性、結晶学的特性等が含まれる。又、「テスト装置」とは、ブローバーやテスターなどを用い、ウェハ上のチップパターンに針を当て、電流を流し、それぞれのチップパターンの良品・不良品を判定する装置のことである。テスト装置は、テスト結果を書き込んだウェハマップをモニターなどの画面上に表示、保存する手段を持つ。又、「システムティック不良」とは、製造プロセスにおいて、特定のプロセスに係る製造装置(システム)に異常な部分があることを指し、そのため基板面上の特定の範囲のチップが不良品となる。又、「製造プロセスに用いる製造装置固有のデータ」とは、例えば、チップパターンの形成工程における各工程毎にプロセス管理記憶装置に蓄積してある不良面内分布等を含めた種々の特性に関するデータ等を指す。

【0008】又、「テスト結果記憶装置」とは、テスト装置の測定結果を保存する記憶装置のことであり、「歩留まり記憶装置」とは、歩留まり解析手段が算出する歩留まりや不良成分の発生位置を保存する記憶装置のことである。

【0009】又、「歩留まり解析手段」、「面内発生位置解析手段」、「面内相関解析手段」は、処理制御装置(CPU)内に具備され、処理制御装置(CPU)のプ

6

ログラム記憶装置からプログラムを読み出すことにより、それぞれの機能が実現可能となる。「歩留まり解析手段」は、基板面上のチップパターンをグループ化した矩形領域に存在比の重みを付与し、歩留まりを算出する。「面内発生位置解析手段」は、不良チップパターンを中心とした矩形領域に中心チップパターンからの距離を重み付けし、システムティック不良チップパターンの面内発生位置を特定する。「面内相関解析手段」は、システムティック不良チップパターンとチップパターン形成工程における定量データの相関をとり、不良の原因となった工程を究明する。

【0010】又、ここで、「集合チップパターン領域」とは、歩留まり解析手段により、基板面上の隣接する複数のチップパターンを一定の最大許容チップパターン数毎にグループ化した矩形領域のことである。「解析領域」とは、面内発生位置解析手段により、基板面上の任意の不良チップパターンを中心としてグループ化された矩形領域である。

【0011】本発明の第2の特徴は、基板面上にマトリクス状にチップパターンとして配置された複数の工業製品ユニットの製品特性をそれぞれ測定し、測定結果をテスト結果記憶装置に保存する工程と、処理制御装置に内蔵された歩留まり解析手段がシステムティック不良を検出する不良原因解析工程とからなる不良原因解析方法であることを要旨とする。この不良原因解析工程には、

(イ) チップパターンの一定数を集合可能な矩形領域である集合チップパターン領域と定義し、集合チップパターン領域毎に集合チップパターン領域中のチップパターンの存在比を重みとして積算するステップと、(ロ) テスト結果記憶装置から製品特性の測定結果を読み出し、重みをもとに歩留まりを算出するステップと、(ハ) 算出された歩留まりと指標となる歩留まり値を比較し、システムティック不良か否かを判定するステップとからなるステップが含まれる。

【0012】又、この不良原因解析工程には、処理制御装置に内蔵された面内発生位置解析手段が、(二) 基板面上の不良チップパターンを中心とした複数のチップパターンを収納する解析領域を抽出し、解析領域内の各チップパターンに、不良チップパターンからの距離に応じた重み係数を与えるステップと、(ホ) 重み係数をもとに基板面上の全不良チップパターンに対し、解析領域内の距離による重み付歩留まりを算出するステップと、

(ヘ) 不良チップパターンを距離による重み付歩留まりの値により並べ替えるステップと、(ト) 歩留まり解析手段が算出した歩留まりからシステムティック不良発生チップパターン数を算出するステップと、(チ) 並び替えの結果とシステムティック不良発生チップパターン数とを用いて、システムティック不良チップパターンの位置を抽出するステップと、処理制御装置に内蔵された面内相関解析手段が、(リ) システムティック不良成分の

7

発生位置と製造プロセスに用いる製造装置固有のデータとの相関をとるステップと、(ヌ) システムティック不良成分の不良原因となった製造プロセスを決定するステップとを更に含んでいてもよい。

【0013】本発明の第3の特徴は、一連の複数の製造プロセスにより基板面上にマトリクス状にチップパターンとして複数の工業製品ユニットを製造し、工業製品ユニットの製品特性を測定し、その結果からシステムティック不良を検出する不良原因解析システムを制御するためのプログラムであって、不良原因解析システムを構成する処理制御装置の歩留まり解析手段に対して、(イ) チップパターンの一定数を集合可能な矩形領域である集合チップパターン領域と定義し、集合チップパターン領域毎に集合チップパターン領域中のチップパターンの存在比を重みとして積算する命令と、(ロ) テスト結果記憶装置から製品特性の測定結果を読み出し、重みをもとに歩留まりを算出する命令と、(ハ) 算出された歩留まりと指標となる歩留まり値を比較し、システムティック不良か否かを判定する命令とを与える不良原因解析プログラムであることを要旨とする。

【0014】又、不良原因解析プログラムは、処理制御装置の面内発生位置解析手段に対して、(ニ) 基板面上の不良チップパターンを中心とした複数のチップパターンを収納する解析領域を抽出し、解析領域内の各チップパターンに、不良チップパターンからの距離に応じた重み係数を与える命令と、(ホ) 重み係数をもとに基板面上の全不良チップパターンに対し、解析領域内の距離による重み付歩留まりを算出する命令と、(ヘ) 不良チップパターンを距離による重み付歩留まりの値により並べ替える命令と、(ト) 歩留まり解析手段が算出した歩留まりからシステムティック不良発生チップパターン数を算出する命令と、(チ) 並び替えの結果とシステムティック不良発生チップパターン数とを用いて、システムティック不良チップパターンの位置を抽出する命令、処理制御装置の面内相関解析手段に対して、(リ) システムティック不良成分の発生位置と製造プロセスに用いる製造装置固有のデータとの相関をとる命令と、(ヌ) システムティック不良成分の発生原因となった製造プロセスを決定する命令を含んでいてもよい。

【0015】本発明の第4の特徴は、(イ) 一連の複数の製造プロセスにより、基板面上にマトリクス状にチップパターンとして複数の工業製品ユニットを製造する工程と、(ロ) 工業製品ユニットの製品特性をそれぞれ測定する工程と、(ハ) チップパターンの一定数を集合可能な矩形領域である集合チップパターン領域と定義し、集合チップパターン領域毎に集合チップパターン領域中のチップパターンの存在比を重みとして積算し、測定の結果から、重みをもとに歩留まりを算出し、システムティック不良を検出する工程と、(ニ) システムティック不良の発生原因となった特定の製造プロセスに用いられ

8

る製造装置を修理・改造する工程とからなる工業製品の製造方法であることを要旨とする。

【0016】この工業製品の製造方法には、(ホ) 基板面上の不良チップパターンを中心とした複数のチップパターンを収納する解析領域内の各チップパターンに、不良チップパターンからの距離に応じた重み係数を与え、重み係数をもとに解析領域内の距離による重み付歩留まりを算出し、システムティック不良成分の発生位置を特定する工程と、(ヘ) システムティック不良成分の発生位置と製造プロセスに用いる製造装置固有のデータとの相関をとることにより特定の製造プロセスを検出する工程とを更に含んでいてもよい。

【0017】

【発明の実施の形態】次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであることに留意すべきである。

【0018】又、本発明の実施の形態では、工業製品の製造方法として半導体製造工程を例にとり、不良原因解析システム、不良原因解析方法、及びこの不良原因解析システムを制御するプログラムについて説明する。

【0019】(不良原因解析システム) 図1に示すように、本発明の実施の形態に係る不良原因解析システムは、テスト装置20、プロセス管理記憶装置13、歩留まり記憶装置14、テスト結果記憶装置15、処理制御装置(CPU)100からなる。更に、処理制御装置(CPU)100には、入力装置34、出力装置31、プログラム記憶装置32、データ記憶装置33が接続されている。更に、処理制御装置(CPU)100は、歩留まり解析手段16、面内発生位置解析手段17、面内相関解析手段18、解析結果表示手段19等のモジュールを内蔵している。

【0020】図1に示す製造プロセス1、製造プロセス2、……、製造プロセスm-1、製造プロセスmとは、半導体を製造する過程においてシリコンウェハ上に集積回路を作り込む前工程(ウェハ工程)における、酸化工程、CVD工程、リソグラフィ工程、エッチング工程、イオン注入工程などの一連の製造プロセス、またはそれらを複合した工程を指す。それらの製造プロセス毎に膜厚、エッチング深さ、シート抵抗、拡散深さ、エッチング速度、屈折率、赤外線吸収特性、ラマン分光特性、SIMS等の定量分析結果などの定量データが取得され、プロセス管理記憶装置13に蓄積される。製造プロセス1、製造プロセス2、……、製造プロセスm-1、製造プロセスmが終了したのち、ステップS34のテスト工程が行われる。

【0021】ステップS34におけるテスト工程は、ウェハ上に周期的に配列されたチップパターン毎に製品特性としての電氣的測定を行い、各チップパターンを良

品、不良品に分類する工程である。このテスト工程（ステップS34）は、ブローバ等のテスト装置20を用いて行われ、そのウェハ毎のテスト結果は、テスト結果記憶装置15に保存される。

【0022】入力装置34は、キーボード、マウス等の機器を指す。入力装置34から入力操作が行われると対応するキー情報が処理制御装置（CPU）100に伝達される。出力装置31は、モニタなどの画面を指し、液晶表示装置（LCD）、発光ダイオード（LED）パネル、エレクトロルミネッセンス（EL）パネル等が使用可能である。この出力装置31は、処理制御装置（CPU）100の解析結果表示手段19により制御され、解析結果などを表示する。プログラム記憶装置32は、システムティック不良歩留まりの解析、面内発生位置の解析、面内相関の解析などを処理制御装置（CPU）100に実行させるためのプログラムを保存している。データ記憶装置33は、処理制御装置（CPU）100における演算において、計算途中や解析途中のデータを一時的に保存する。

【0023】歩留まり解析手段16は、テスト結果記憶装置15に基づき、歩留まりを算出（算出方法については後述する）する。この算出手順は、プログラム記憶装置32から読み出されたプログラムに従って行われる。算出途中に用いられる計算結果などはデータ記憶装置33に一時的に保存され、算出された歩留まりは歩留まり記憶装置14に保存される。歩留まり解析手段16は、歩留まりの値により、システムティック不良の可能性があるかどうかを判断する。システムティック不良の可能性がある場合は、面内発生位置解析手段17にその情報を伝達する。

【0024】面内発生位置解析手段17は、システムティック不良の可能性のあるウェハにおいて、テスト結果記憶装置15と歩留まり記憶装置14のデータに基づき、不良成分のウェハ面内発生位置を特定する。特定方法については後述する。この解析手順は、プログラム記憶装置32から読み出されたプログラムに従って行われる。不良成分の発生位置は歩留まり記憶装置14に保存される。その発生位置情報は面内相関解析手段18に伝達される。又、不良成分の面内発生位置は解析結果表示手段19により、出力装置31により画面で確認することも可能である。

【0025】面内相関解析手段18は、歩留まり記憶装置14のウェハ面内発生位置とプロセス管理記憶装置13の相関を取ることににより、製造プロセス1、製造プロセス2、……、製造プロセスm-1、製造プロセスmのうちの不良原因となった工程及びその工程に係る製造装置（システム）を究明する。この解析手順は、プログラム記憶装置32から読み出されたプログラムに従って行われる。この解析結果は、解析結果表示手段19により、出力装置31により画面で確認することも可能であ

る。

【0026】（不良原因解析方法）次に、本発明の実施の形態に係る不良原因解析方法について、図2のフローチャートを用いて説明する。本発明の実施の形態に係る不良原因解析は、通常、ウェハ上の全チップパターンについて、全てのウェハを対象として行う。

【0027】（イ）まず、ステップS1において、テスト装置20を用いたテスト工程（図1のステップS34）により測定された電氣的測定結果から図4に示すようにウェハ上のチップパターンを良品チップパターン（白抜きの四角形）・不良品チップパターン（斜線でハッチングした四角形）に分類する。この分類結果はテスト結果記憶装置15に保存される。

【0028】（ロ）次に、ステップS2において、歩留まり解析手段16により、歩留まりを計算する。この歩留まりの計算方法は、図3のフローチャートに示す手順で行われる。

【0029】（ハ）次に、ステップS3において、歩留まり解析手段16により、歩留まりが所定のクライテリア以下であるかどうかを判定する。クライテリアとは、これまでの経験により得られた指標となる歩留まりの基準値のことである。歩留まりが所定のクライテリア以下の低い値である場合、システムティック不良が発生しているのでステップS4に進む。歩留まりがクライテリア以上の高い値である場合は、対象ウェハにおいてシステムティック不良は起きていないと認識し、処理を終了する。

【0030】（ニ）ステップS4において、面内発生位置解析手段17により、システムティック不良部分の面内発生領域を特定する。このシステムティック不良面内発生領域の特定方法は、図7のフローチャートに示す手順で行われる。

【0031】（ホ）次に、ステップS5において、各ウェハの特定したシステムティック不良発生領域とチップパターンの形成工程（製造プロセス）で得られたプロセス管理データとの相関解析を実施する。ステップS6において、システムティック不良傾向と面内ばらつき傾向が一致した場合は、その製造プロセスがシステムティック不良発生の原因となったプロセスとなり、その不良原因が特定される。図10では、プロセス管理データ6の例として、ある製造プロセス後のウェハ厚さの5点測定を行った部分に二重丸を付し、平均値と大きく異なるなど問題のあった部分を大きな二重丸で示している。図10は、この大きい二重丸がシステムティック不良発生領域と重なっているため、この工程においてシステムティック不良が発生している可能性があることを示している。又、システムティック不良傾向と面内ばらつき傾向が一致しなかった場合は、本処理を終了し、環境的な要因や人為的な要因など、別の要因を検討する。

【0032】（ヘ）システムティック不良の原因となっ



11

たプロセスが特定されれば、そのプロセスの見直し、そのプロセスに関連した製造装置の修理や改造を行い、システムティック不良の解析結果をフィードバックして次のロットの歩留まりを改善することも可能である。

【0033】以下に図2のステップS2における歩留まりの計算方法について図3を用いて詳しく説明する。

(a) ステップS11において、歩留まり解析手段16は、テスト結果記憶装置15に保存されたチップパターンの配列を示すウェハマップを読み込む。このウェハマップには、図4に示すように、対象ウェハのそれぞれの

チップパターンのテスト結果が表示、保存されている。【0034】(b) 次に、ステップS12において、隣接する各チップパターンを予め定めた矩形領域311、312、……、376にグループ化する。この矩形領域311、312、……、376に配分されるチップパターンの最大数は、予め決められたものであり、3×3チップ、5×5チップなどの正方形領域を基本とするが、1×2チップ、2×1チップといった長方形領域でも構わない。

【0035】(c) 次に、ステップS13において、矩形領域311、312、……、376内の最大のチップパターン数を確認する。矩形領域311、312、……、376内に収納可能な最大チップパターン数、即ち「チップパターン枠数」は、3×3チップであれば9、1×2チップであれば2と数える。ここで、各矩形領域311、312、……、376を、各矩形領域11、312、……、376内でのチップパターンをグループ化した「集合チップパターン領域」として定義する。図5に示すように、集合チップパターン領域内にひとつでも不良チップパターンがあった場合は、その集合チップパターン領域は不良品領域とみなす。(図5では、斜線でハッチングした集合チップパターン領域313、314、322、323、324、325、332、……、が不良品領域である。) この時、ウェハの外周付近の領域にある矩形領域311、312、313、314、315、316、321、322、325、326、331、336、341、346、351、356、361、362、365、366、371、372、373、374、375、376においては、矩形領域311、312、……、376の全てのチップパターン枠に実際のチップパターンが存在しない。このため、ステップS14において、矩形領域311、312、……、376の全てのチップパターン枠に実際のチップパターンが存在するか判断し、実際のチップパターンが矩形領域311、312、……、376のチップパターン枠の一部にしか存在しない場合には、ステップS15において、チップパターン存在率を重みとして計算する。例えば3×3のグループ(集合チップパターン領域)内に実際のチップパターンが3個\*

$$Y = Y_s (1 + (\lambda * N) / \alpha)^{-(-\alpha)} \quad \cdots (3)$$

12

\*しか存在しない場合は、チップパターン枠数は9であるので、そのグループは1チップではなく、3/9=0.33チップとして計上する。この処理を行うことにより、ウェハ外周部と内部のバランスを保つことができ、安定且つ高精度の計算処理を行うことが可能となる。

【0036】(d) 次に、ステップS16において、存在率の重み付けを行った集合チップパターン領域によるウェハマップに対して、全存在率重み付チップパターン数の合計N<sub>WT</sub>、存在率重み付不良チップパターン数の合計N<sub>fWT</sub>を計算する。「全存在率重み付チップパターン数の合計」N<sub>WT</sub>とは、存在率の重み付けを行った矩形領域311、312、……、376全ての値の合計である。図5においては、全存在率重み付チップパターン数の合計N<sub>WT</sub>は、18.86となる。又、「存在率重み付不良チップパターン数の合計」N<sub>fWT</sub>とは、存在率の重み付けを行った各矩形領域のうち斜線でハッチングした不良品領域313、314、322、323、324、325、332、……、と分類された矩形領域の値の合計である。図5においては、斜線でハッチングした重み付不良チップパターン数の合計N<sub>fWT</sub>は、10.54となる。

【0037】(e) 次に、ステップS17において、存在率重み付歩留まりを算出する。チップパターンを矩形領域化した際の存在率重み付歩留まりY<sub>e</sub>は：

$$Y_e = 1 - N_{fWT} / N_{WT} \quad \cdots (1)$$

で計算される。図5のウェハマップにおいては、 $[1 - (10.54 / 18.86)] = 0.44 \cdots$ という値が得られる。矩形領域311、312、……、376に含められる最大チップパターン数やその構成(1×2であるのか、2×1であるのかなどの矩形領域の形)は、いくつものモデルが予め決められている。ステップS18において、その全モデルの存在率重み付歩留まり計算を行ったかを判断し、全モデルに対する歩留まりを算出するまで、ステップS12～S17を繰り返す。

【0038】(f) 次に、ステップS19において、図6に示すように、X軸に矩形領域内の最大チップパターン数を、Y軸にステップS17で算出した各矩形領域パターンでの存在率重み付歩留まりをプロットする。X軸に示す矩形領域内の最大チップパターン数が増加する、つまり等価的なチップパターン面積が増加すると、1チップパターン当たりのランダムに発生する欠陥数増加により歩留まりは低下する。この時の矩形領域内の最大チップパターン数に対する歩留まりの振る舞いは、Y<sub>s</sub>をシステムティック不良歩留まり、λを矩形領域化前の1チップ当たりの致命欠陥数、Nを矩形領域内の最大チップ数とすれば、ポアソン分布：

$$Y = Y_s * \exp(-\lambda * N) \quad \cdots (2)$$

あるいは、αをクラスタリングファクターとして、負の二項分布：

13

による関数で表される。そして、図6にプロットした歩留まりデータに、(2)式のポアソン分布と(3)式の負の二項分布のいずれか、あるいは双方の関数を最小二乗法でフィッティングする。矩形領域内の最大チップパターン数が0個となったとき、ランダムに発生する欠陥の成分は取り除かれるため、Y切片の値 $Y_s$ がシステムティック不良として算出される。このシステムティック不良 $Y_s$ を歩留まり記憶装置14に保存する。

【0039】(g)又、ステップS20において、各ウェハがシステムティック不良歩留まりと上述したクラスタリングファクターにより、ポアソン分布と二項分布のどちらの傾向を持つウェハであるかを分類する。概して、ポアソン分布はグラデーションのかかったランダムな分布を表し、二項分布は凝集した鋭いピークを持つ分布を表す。

【0040】以下に図2のステップS4におけるシステムティック不良面内発生領域の特定方法について図7を用いて詳しく説明する。

【0041】(i) ステップS21において、面内発生位置解析手段17は、テスト結果記憶装置15に保存されたウェハマップを読み込む。このウェハマップには、対象ウェハのテスト結果が表示、保存されている。

【0042】(ii) 次に、ステップS22において、図8に示すように、任意の不良チップパターンを中心とした、例えば5×5チップを含む矩形領域からなる解析領域30を抽出する。この解析領域30は、通常正方形の領域とする。そして、ステップS23において、解析領域内に抽出された各チップパターンに中心チップパターンからの距離に応じて重み付けを行う。図8においては、中心の不良チップパターンに3という重み付けをし、その周辺のチップを距離に応じて、1刻みの値を重み付けしている。即ち、中心の不良チップパターンに隣接し、この不良チップパターンを囲む8個のチップパターンに2、一番外側に配列された16個のチップパターンに1という重み付けをしている。この重み付けの値の付け方は、図8に示す方法に限らず、経験データにより様々な方法が考えられる。

【0043】(iii) 次に、ステップS24において、解析領域30の内部で距離による重みを付加した場合での距離による重み付歩留まり $Y_d$ は：

$$Y_d = 1 - N_{fdwt} / N_{dwt} \quad \cdots \cdots (4)$$

で算出される。ここで、「距離による重み付チップパターン数の合計」 $N_{dwt}$ とは、図8に示すような抽出した解析領域30内で重み付けを行ったチップパターンの有する値全ての合計である。図8においては、距離による重み付チップパターン数の合計 $N_{dwt}$ は、35となる。又、「距離による重み付不良チップパターン数の合計」 $N_{fdwt}$ とは、重み付けを行った解析領域30のうち斜線で示した不良品チップパターンの値の合計である。図8においては、重み付不良チップパターン数の合

14

計 $N_{fdwt}$ は、17となる。よって、図8の矩形領域30における距離による重み付歩留まり $Y_d$ は、 $[1 - (17/35)] = 0.51 \cdots$ となる。距離による重み付歩留まり $Y_d$ の値が低いほど、面内で異常発生したシステムティック不良である確率が高いため、この距離による重み付歩留まり $Y_d$ の値は、システムティック不良を示す特徴値として扱うことができる。

【0044】(iv) ステップS25において、ウェハ内の全ての不良チップパターンに対して距離による重み付歩留まり $Y_d$ が計算されたか判断し、計算されていない場合は、各不良チップパターンに対してステップS22～24を繰り返す。

【0045】(v) 次に、ステップS26において、各不良チップパターンの特徴値として算出された距離による重み付歩留まり $Y_d$ を値の小さい順に各不良チップパターンを並べ替える。

【0046】(vi) 次に、ステップS27において、歩留まり解析手段16により算出されたシステムティック不良歩留まり $Y_s$ から、ウェハ面内で発生したシステムティック不良発生チップパターン数 $N_s$ を：

$$N_s = 1 - Y_s \cdot N_G \quad \cdots \cdots (5)$$

として見積もる。ここで、グロスチップ数 $N_G$ とはウェハ上の全チップパターン数である。

【0047】(vii) 次に、ステップS28において、ステップS26の並べ替えの結果とステップS27のシステムティック不良発生チップパターン数 $N_s$ とを合わせて、システムティック不良発生チップパターンの位置を特定する。具体的には、距離による重み付歩留まり $Y_d$ の低い順から、計算されたシステムティック不良発生チップパターン数分までが、システムティック不良発生チップパターンとなる。

【0048】(viii) 次に、ステップS29において、図9に示すように、システムティック不良チップパターンをシステムティック不良発生領域5としてウェハマップ上に表示する。

【0049】上記で説明した不良原因解析方法によれば、ウェハ表面に周期的に配列されたチップパターンの電気的特性の測定結果から、ウェハ面内のシステムティック不良による不良成分を簡単に特定することができ、かつ不良の原因となった工程を特定することが可能となる。

【0050】(半導体装置の製造方法) 次に、上述した不良原因解析方法を用いた半導体装置の製造方法について、図11を参照して説明する。本発明における半導体装置の製造方法は、パターン設計工程(図示せず)、ステップS31におけるマスク製造工程、ステップS32のウェハ基板製造工程、ステップS33の表面配線工程、ステップS34のテスト工程、ステップS35の不良原因解析工程と、ステップS36のアセンブル工程、ステップS37の検査工程からなり、その後、ステップ

S 3 8の出荷工程へ流される。通常は、ステップS 3 1のマスク製造工程までが準備段階であり、ステップS 3 2～S 3 5までの一連の工程がロット単位で繰り返し実施される。ステップS 3 6、S 3 7は、ロットと連繫していても良く、ロットと独立した工程として進められてもよい。そして、一定の工業製品が蓄積された後、ステップS 3 8の出荷工程に移る。以下、各工程の詳細について説明する。

【0051】(イ) まず、プロセスシミュレーション、デバイスシミュレーション、回路シミュレーション等の結果をもとにCADシステムを用いて、LSIの表面パターンを実現するために必要な枚数のマスクデータを作成する。そして、半導体製造工程の各プロセスの段階に対応したウェハ上の各層や内部構造をそれぞれ実施するために必要なマスクデータをもとに、ステップS 3 1で電子ビーム露光装置等のパターンジェネレータを使用して、必要な枚数のマスク(レチクル)のセットを製造する。

【0052】(ロ) 次に、ステップS 3 2において、各工程(製造プロセス)に必要なそれぞれのレチクルを用いた逐次縮小露光装置(ステップ)によるフォトリソグラフィ工程を繰り返すことにより半導体ウェハ上に複数のチップパターンが周期的に配列され、微細加工がなされる(基板工程)。ステップS 3 2の詳細の一例を述べると以下ようになる。まず、一定の製造プロセスj-1の後、ステップS 5 1(製造プロセスj)において、シリコン基板の表面上に、シリコン酸化膜が熱酸化により形成されたとする。次に、ステップS 5 2(製造プロセスj+1)において、シリコン酸化膜上にフォトレジストを塗布する。この後、ステップS 5 3(製造プロセスj+2)において、ステップS 3 1で製造したレチクルを用いて、フォトリソグラフィ工程を行い、フォトレジストをステップ・アンド・リピート方式で露光し、パターンニングする。このフォトレジストをイオン注入用マスクとして用いて、ステップS 5 4(製造プロセスj+3)において、p型もしくはn型の不純物イオンをシリコン基板の表面に選択的に注入する。その後、ステップS 5 5(製造プロセスj+4)でイオン注入マスクとして用いたフォトレジストを除去する。そして、ステップS 5 6(製造プロセスj+5)で熱処理することにより、注入されたイオンを活性化し、所望の深さまでドライブイン(拡散)し、シリコン基板の内部に不純物拡散領域を形成する。以下同様にして、製造プロセスj+6以降において、多結晶シリコン等の薄膜のCVD、この薄膜をフォトリソグラフィを用いてエッチングする工程等が続けられる。ここで説明したステップS 5 1(製造プロセスj)～S 5 6(製造プロセスj+5)、……、の各工程は、図1に示した製造プロセス1、製造プロセス2、……、製造プロセスm-1、製造プロセスmからなる一連の工程の一部に対応し、各製造プロ

セスに関する定量データが取得され、図1に示すように、プロセス管理記憶装置13に蓄積される。又、ここで挙げた酸化工程(S 5 1)、レジスト塗布工程(S 5 2)、フォトリソグラフィ工程(S 5 3)、イオン注入工程(S 5 4)等は、基板工程の一例であり、この他に様々な工程(製造プロセス)を含んでいることはもちろんである。

【0053】(ハ) 次に、ステップS 3 3の表面配線工程において、同様に各工程に必要なレチクルを用いてステッパーで所望のパターンを描画することにより基板表面に対して配線処理が施される。ステップS 3 3の工程の詳細の一部を説明すると以下になる。まず、ステップS 3 2の各工程を経たシリコンウェハに対し、更に一定の工程が付加され、一定の製造プロセスk-1の後に、ステップS 6 1(製造プロセスk)で、層間絶縁膜(例えばシリコン酸化膜)をCVD法により形成するとする。必要ならば、この表面を更にCMPで平坦化する。更に、ステップS 6 2(製造プロセスk+1)で、層間絶縁膜の上にフォトレジストを塗布し、ステップS 6 3(製造プロセスk+2)のフォトリソグラフィ工程によるフォトレジストをパターンニングし、フォトレジストからなるエッチングマスクを形成する。次に、ステップS 6 4(製造プロセスk+3)でこのエッチングマスクを用いて反応性イオンエッチング(RIE)等のエッチングを行い、層間絶縁膜に対するコンタクトホールを形成する。そして、ステップS 6 5(製造プロセスk+4)でフォトレジストを除去し、表面を洗浄化した後、ステップS 6 6(製造プロセスk+5)で、コンタクトホール内にタングステン(W)等の金属をスパッタリング等により堆積する。その後、図示を省略するが、再びフォトリソグラフィ工程による新たなエッチングマスクを形成し(製造プロセスk+6)、この金属膜をパターンニングする(製造プロセスk+7)。更に、次の層間絶縁膜を堆積し(製造プロセスk+8)、同様な工程を必要多層配線構造が形成されるまで繰り返す。ここで説明したS 6 1(製造プロセスk)～S 6 6(製造プロセスk+5)、……、の各工程も、図1に示した製造プロセス1、製造プロセス2、……、製造プロセスm-1、製造プロセスmからなる一連の工程の一部に対応し、各プロセスに関する定量データが取得され、図1に示すように、プロセス管理記憶装置13に蓄積される。又、ここで挙げたCVD工程(S 6 1)、レジスト塗布工程(S 6 2)、フォトリソグラフィ工程(S 6 3)、エッチング工程(S 6 4)等は、表面配線工程の一例であり、この他に様々な工程(製造プロセス)を含んでいることはもちろんである。

【0054】(ニ) 次にステップS 3 4のテスト工程において、ウェハ上のチップパターンのパッドに針を当て、電気的特性を測定する。この電気的特性の測定結果により、各チップパターンを良品チップ、不良品チップ

17

に選別する。このテスト結果はモニター上に表示され、更に図1に示すテスト結果記憶装置15に保存される。

【0055】(ホ) ステップS35では、テスト結果記憶装置15からテスト結果を読み出し、図2に示すフローチャートに従い、不良と判断されたチップパターンがシステムティック不良に起因したものであるかどうか解析を行う。解析方法は、上述したように、歩留まり解析手段16により、テスト結果15からシステムティック不良歩留まりを算出する。更に図7に示すフローチャートに従い、面内発生位置解析手段17により、ウェハ面内のシステムティック不良成分位置を特定し、面内相関解析手段18により、プロセス管理記憶装置との相関をとり、システムティック不良原因を特定する。ここで、システムティック不良を起こしている工程が特定できれば、その工程の見直し、その工程に関連した半導体製造装置の修理や改造を行う。そして、不良工程が薄膜の堆積のやり直し等に対応できる場合には、不良の薄膜を全面除去し、不良工程からやり直す。一方、工程のやり直しが不可能な場合は、次のロットの工程から、修理や改造をした半導体製造装置を用いるようにシステムティック不良の解析結果をフィードバックして次のロットの歩留まりを改善することが可能である。

【0056】(ヘ) 前工程(ウェハ工程)が完了すれば、ステップS71のダイシング工程、ステップS72のマウント工程、ステップS73のボンディング工程、ステップS74の封止工程等からなるアSEMBル工程(ステップS36)を実施し、更にステップS37の検査工程において、半導体装置の性能・機能に関する特性検査、リード形状・寸法状態、信頼性試験等の所定の検査が行われる。

【0057】上記で説明した半導体装置の製造方法によれば、テスト工程における結果から、製造プロセスの不良に起因するシステムティック不良チップパターンを容易に特定することができる。このシステムティック不良チップパターンとプロセス管理記憶装置13に蓄積された各製造プロセスに関する定量データを比較することにより、不良原因となった工程(製造プロセス)を精度良く検出することができる。そして、この不良工程(製造プロセス)に関連した製造装置の修理や改造を行うことにより、歩留まりの立ち上げに貢献することとなる。

【0058】(その他の実施の形態) 本発明は上記の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0059】例えば、本発明の実施の形態では、歩留まり解析手段、面内発生位置解析手段、面内相関解析手段を一つの処理制御装置(CPU)内にあるとして説明したが、それらが二つあるいはそれ以上の処理制御装置に分かれていても構わない。その際はそれらの処理制御装

18

置間でデータのやりとりが行えるようにバスなどで装置間を接続しているとする。

【0060】又、本発明の実施の形態として、半導体装置の製造工程について記述したが、本発明は、磁気記録装置読み出しヘッド用基板等の製造など一定の面積の基板上に同時に複数のチップパターンを周期的に配列して、大量生産するような他の工業製品の製造工程に用いることが可能なことはもちろんである。

【0061】このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【0062】

【発明の効果】本発明によれば、基板表面に周期的に配列されたチップパターンの製品特性の測定結果から、基板面内のシステムティック不良による不良成分を簡単に特定することができ、かつ不良の原因となった工程を簡単かつ迅速に特定することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る不良原因解析システムのブロック図である。

【図2】本発明の実施の形態に係る不良原因解析方法を示すフローチャートである。

【図3】本発明の実施の形態に係る歩留まり計算方法を説明するフローチャートである。

【図4】本発明の実施の形態に係る歩留まり解析手段において、一定数のチップパターンを集合して矩形領域からなる集合チップパターン領域で構成したウェハマップの概略図である。

【図5】本発明の実施の形態に係る歩留まり解析手段において、集合チップパターン領域に対してチップパターン存在率の重みを付加したウェハマップの概略図である。

【図6】本発明の実施の形態に係る歩留まり解析手段において、歩留まりと矩形領域内の最大チップパターン数の関係を示す概略図である。

【図7】本発明の実施の形態に係るシステムティック面内発生領域の特定方法を説明するフローチャートである。

【図8】本発明の実施の形態に係るシステムティック不良面内発生領域の特定方法において、中心不良チップパターンからの距離による重みを付加した解析領域を示すウェハマップの概略図である。

【図9】本発明の実施の形態に係るシステムティック不良面内発生領域の特定方法によって特定された、システムティック不良領域を表示したウェハマップの概略図である。

【図10】本発明の実施の形態に係るシステムティック不良発生領域とプロセス管理データを比較したウェハマ

19

ップの概略図である。

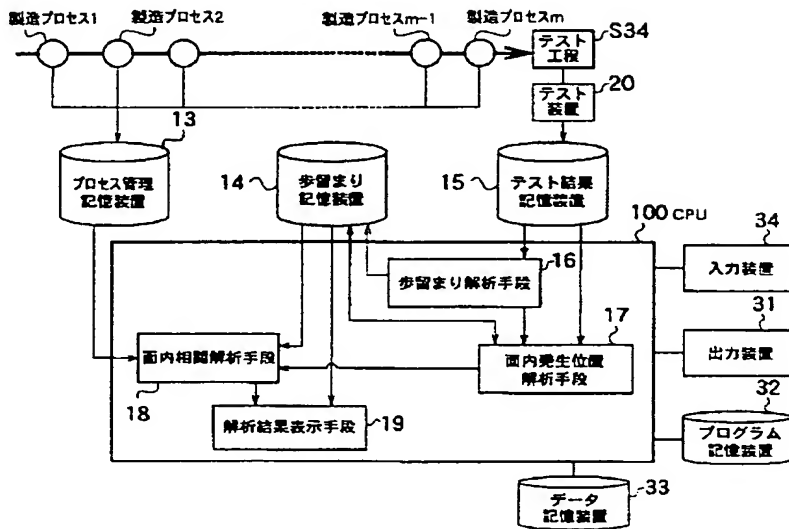
【図11】本発明の実施の形態に係る半導体装置の製造方法を説明するためのフロー図である。

【符号の説明】

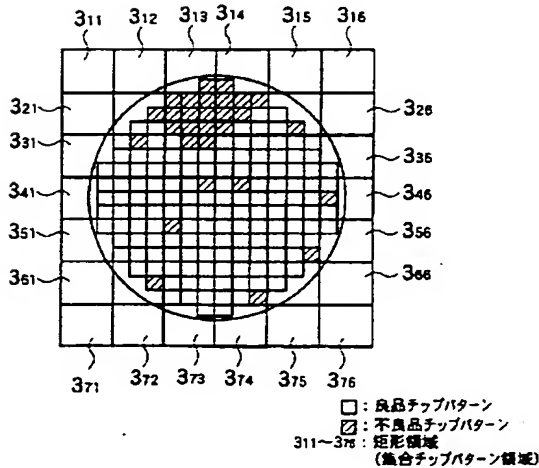
- 311～376 矩形領域（集合チップパターン領域）  
 4 歩留まり関数曲線  
 5 システマティック不良発生領域  
 6 プロセス管理データ  
 13 プロセス管理記憶装置  
 14 歩留まり記憶装置  
 15 テスト結果記憶装置

- \* 16 歩留まり解析手段  
 17 面内発生位置解析手段  
 18 面内相関解析手段  
 19 解析結果表示手段  
 20 テスト装置  
 30 解析領域  
 31 出力装置  
 32 プログラム記憶装置  
 33 データ記憶装置  
 10 34 入力装置  
 \* 100 CPU（処理制御装置）

【図1】

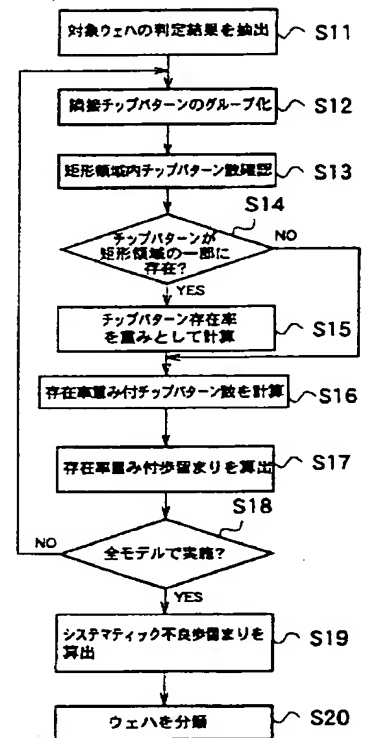


【図4】

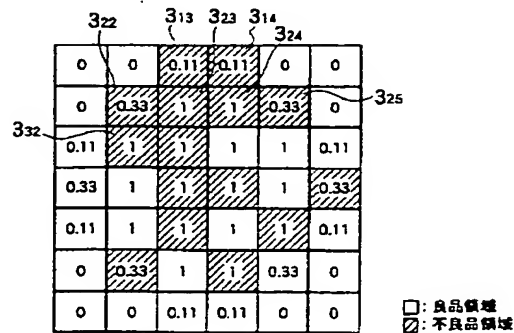


20

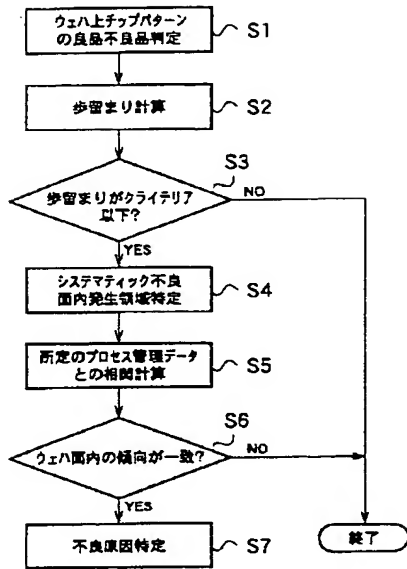
【図3】



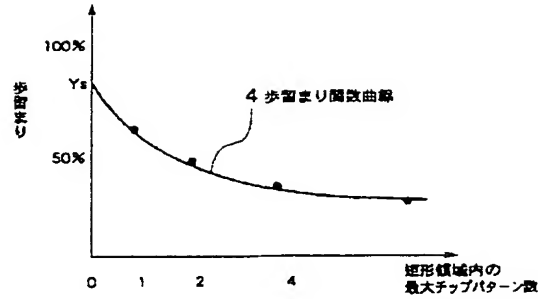
【図5】



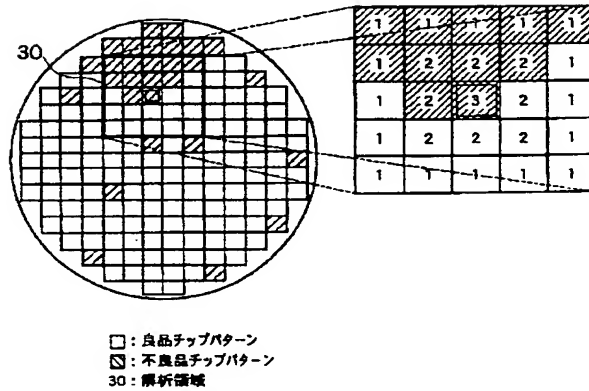
【図2】



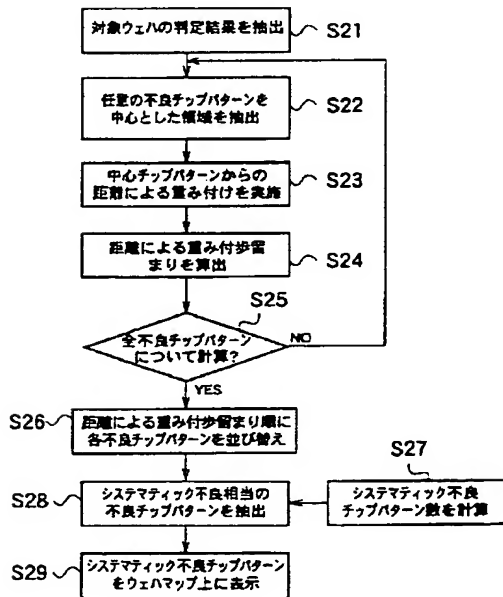
【図6】



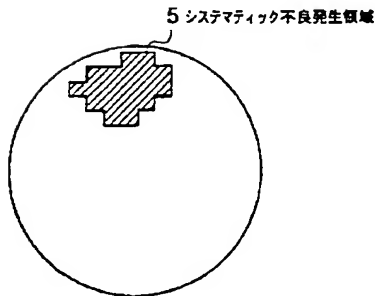
【図8】



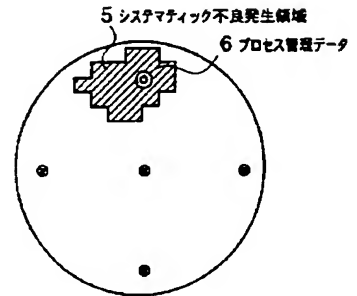
【図7】



【図9】



【図10】



【図11】

